

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-201849

(43)Date of publication of application : 09.08.1996

(51)Int.Cl.

G02F 1/136

H01L 29/786

(21)Application number : 07-012298

(71)Applicant : HITACHI LTD

(22)Date of filing : 30.01.1995

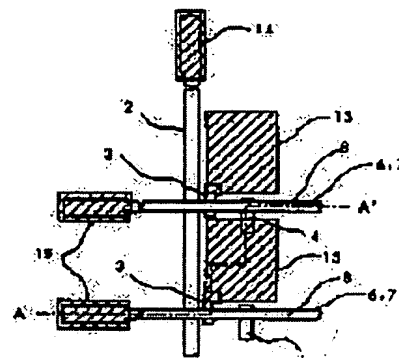
(72)Inventor : WAKAGI MASATOSHI
KIZAWA KENICHI
ANDO MASAHIKO
KANEKO TOSHITERU
MINEMURA TETSUO
OKADA TOSHIHIRO

(54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PURPOSE: To provide a highly reliable terminal connection by constructing a drain made of a metal film and the end portion of gate wiring using transparent electrically conductive films.

CONSTITUTION: A metal film is formed on a transparent insulated substrate and machined on drain wiring 2, a source electrode 3 and an added capacity electrode 4. Then, a semiconductor layer 6, a gate insulated layer 7 and a electrically conductive metal film are formed and gate wiring 8 is made. A protective insulated layer is formed and etched, exposing the end portions of the gate wiring and the drain wiring and a pixel electrode section. By forming a transparent electrically conductive film and eliminating the unnecessary portion of the transparent electrically conductive film by using a lift off method for erasing resist, a drain wiring end portion ITO 14 and a gate wiring end portion ITO 15 are formed. Thus, since the same ITO is used for the drain wiring, the source electrode and the pixel electrode, the drain wiring, the source electrode and the pixel electrode are manufactured by performing film formation and a photolithographic process once.



LEGAL STATUS

[Date of request for examination] 30.09.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3225772

[Date of registration] 31.08.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-201849

(43) 公開日 平成8年(1996)8月9日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0			
H 0 1 L 29/786			H 0 1 L 29/ 78	6 1 6 U 6 1 7 U

審査請求 未請求 請求項の数12 O L (全 9 頁)

(21) 出願番号 特願平7-12298
(22) 出願日 平成7年(1995)1月30日

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72) 発明者 若木 政利
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
(72) 発明者 鬼沢 賢一
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
(72) 発明者 安藤 正彦
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
(74) 代理人 弁理士 小川 勝男

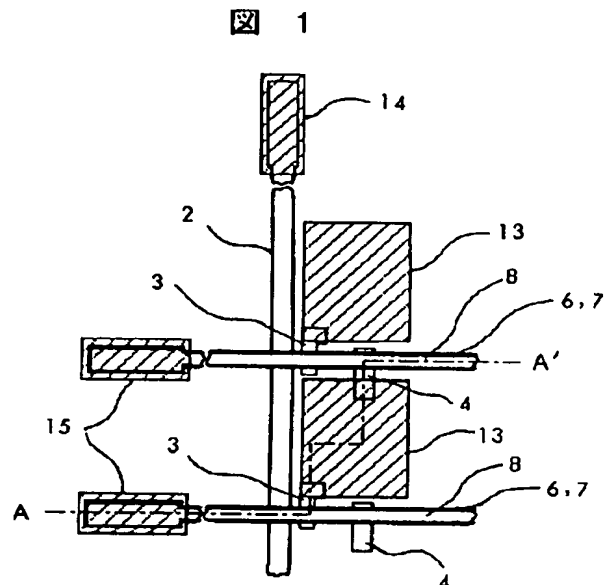
最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】

【構成】正スタガ構造を有する薄膜トランジスタを具備する液晶表示装置において、金属膜からなるドレイン配線とゲート配線の端子部を画素電極と同一の透明導電膜で被覆する。ドレイン配線とゲート配線の端子部及び画素電極の透明導電膜をリフトオフ法で加工する工程を含む製造方法。

【効果】ドレイン配線を導電率の高い金属膜で構成するため、ドレイン電圧の電位勾配が少なく高画質の表示が可能。ドレイン配線とゲート配線の端子部を透明導電膜で被覆するため、端子接続の信頼性が高い。また、リフトオフ法を用いるため簡略な工程で製造できる。



【特許請求の範囲】

【請求項1】表面に、複数のドレイン配線と、前記複数のドレイン配線と交差する複数のゲート配線と、前記複数のドレイン配線と前記複数のゲート配線の各交差部に形成された正スタガ構造の薄膜トランジスタ、および前記薄膜トランジスタに接続された画素電極とが設けられた第1の基板、

前記第1の基板に対向して配置された第2の基板、および前記第1の基板と第2の基板との間に封入された液晶とを備えた液晶表示装置において、

前記複数のドレイン配線は第1の金属膜、前記複数のゲート配線は第2の金属膜からなり、

前記複数のドレイン配線の各端子部は前記第1の金属膜を透明導電膜で被覆した構造であり、前記複数のゲート配線の各端子部は前記第2の金属膜を透明導電膜で被覆した構造であることを特徴とする液晶表示装置。

【請求項2】前記画素電極は透明導電膜で構成され、前記画素電極を構成する透明導電膜と、前記複数のドレイン配線の各端子部および前記複数のゲート配線の各端子部を被覆する透明導電膜は、ほぼ同一の材質で構成されることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】前記画素電極のそれぞれに対応して、前記第1の金属膜と前記第2の金属膜との間に絶縁層を挟持して容量素子が形成され、前記容量素子を構成する前記第1の金属膜は前記画素電極に接続されることを特徴とする請求項1に記載の液晶表示装置。

【請求項4】前記容量素子を構成する前記第1の金属膜と前記第2の金属膜との間には、さらに半導体層が挟持されることを特徴とする請求項3に記載の液晶表示装置。

【請求項5】前記第1の金属膜は、Al、Cr、Mo、Ta、Ti、W、Nb、Fe、Co、Niから選ばれた少なくとも1種の材料から構成されることを特徴とする請求項1に記載の液晶表示装置。

【請求項6】前記第2の金属膜は、Al、Cr、Mo、Ta、Ti、W、Nb、Fe、CoおよびNiから選ばれた少なくとも1種の材料から構成されることを特徴とする請求項1に記載の液晶表示装置。

【請求項7】前記薄膜トランジスタは、前記第1の金属層からなるソース電極、ドレイン電極の上に半導体層、前記半導体層の上に絶縁層、前記絶縁層の上に前記第2の金属層からなるゲート電極をそれぞれ設けて形成され、前記半導体層は非晶質シリコンからなることを特徴とする請求項1に記載の液晶表示装置。

【請求項8】前記薄膜トランジスタは、前記第1の金属層からなるソース電極、ドレイン電極の上に半導体層、前記半導体層の上に絶縁層、前記絶縁層の上に前記第2の金属層からなるゲート電極をそれぞれ設けて形成され、

前記半導体層は結晶層を含むシリコンからなることを特徴とする請求項1に記載の液晶表示装置。

【請求項9】前記第1の基板は少なくとも前記薄膜トランジスタを保護する保護性絶縁膜で覆われ、前記保護性絶縁膜の膜厚は前記透明導電膜の膜厚の2倍以上であることを特徴とする請求項1に記載の液晶表示装置。

【請求項10】前記薄膜トランジスタは、前記第1の金属層からなるソース電極、ドレイン電極の上に半導体層、前記半導体層の上に絶縁層、前記絶縁層の上に前記第2の金属層からなるゲート電極をそれぞれ設けて形成され、

前記第1の基板は少なくとも前記薄膜トランジスタを保護する保護性絶縁膜で覆われ、前記保護性絶縁膜と前記薄膜トランジスタを構成する絶縁膜の膜厚の和が、前記透明導電膜の膜厚の2倍以上であることを特徴とする請求項1に記載の液晶表示装置。

【請求項11】基板上に第1の金属膜からなるソース電極及びドレイン配線を形成する工程と、半導体膜、絶縁膜および第2の金属膜を順次形成し、前記半導体膜、絶縁膜および第2の金属膜を同一のマスクパターンを用いてパターンニングする工程、加工する工程と、

保護性絶縁膜を形成し、その上にホトレジストパターンを形成する工程と、前記ホトレジストパターンにより前記保護性絶縁膜をパターンニング後、その上に透明導電膜を形成する工程と、リフトオフ法により、前記ホトレジストパターンが形成された領域における前記透明導電膜を除去し、ドレイン配線端子部、ゲート配線端子部および画素電極を形成する工程と、を具備した液晶表示装置の製造方法。

【請求項12】基板上に第1の金属膜からなるソース電極及びドレイン配線を形成する工程と、半導体膜と第1の絶縁膜を順次形成し、前記半導体膜と第1の絶縁膜を同一のマスクパターンを用いてパターンニングする工程と、

第2の絶縁膜と第2の金属膜を順次形成し、前記第2の絶縁膜と第2の金属膜を同一のマスクパターンを用いてパターンニングし、前記第2の金属膜をゲート配線に加工する工程、

保護性絶縁膜を形成し、その上にホトレジストパターンを形成する工程、

前記ホトレジストパターンにより前記保護性絶縁膜をパターンニング後、その上に透明導電膜を形成する工程、リフトオフ法により、前記ホトレジストパターンが形成された領域における前記透明導電膜を除去し、ドレイン配線端子部、ゲート配線端子部および画素電極を形成する工程と、を具備した液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は薄膜トランジスタ（TF

T)によって駆動するアクティブマトリクス型液晶表示装置及びその製造方法に関する。

【0002】

【従来の技術】近年、性能価格比の高いTFT駆動のアクティブマトリクス型液晶表示(LCD)装置に対する要求が高まっている。これの実現のためには、アモルファスシリコン(a-Si)膜を適用したTFT-LCDの製造プロセスコストの低減、すなわち製造工程数の低減、スループットの向上及び歩留まりの向上等を図ることが必要である。このような目的のため、特公平4-26084号では、絶縁基板上に被着された透明導電膜からなる第1導電膜により形成された複数本の列選択線、各列選択線と一体のドレイン電極、各画素位置に配列された表示画素電極及びこれと一体のソース電極と、これらドレイン、ソース電極上にまたがるように形成された半導体膜と、この半導体膜上にゲート絶縁膜を介して被着された第2層導電膜により形成された複数本の行選択線及びこれと一体のゲート電極とを備え、前記半導体膜及びゲート絶縁膜は前記行選択線及びこれと一体のゲート電極と同一形状にパターンニングされていることを特徴とするアクティブマトリクス型表示装置を提案している。このような構造とすることによって、製造工程の簡略化を図ると共に、電極配線の断切れを防止して信頼性向上及び歩留まり向上を図っている。

【0003】

【発明が解決しようとする課題】しかしながら、上記従来技術による素子構造は製造工程の簡略化には有効であったものの、液晶パネルと液晶駆動回路との接続部の信頼性が不十分であるという問題があった。従って、この接続工程及び信頼性試験における歩留まりが低く、価格低減も困難であった。また、ドレイン配線に透明導電膜を用いているため、配線抵抗が高く、LCD画面表示で濃度ムラがおこりやすいという欠点があった。

【0004】本発明の目的は、以上のような従来技術における問題点を解決し、簡略な工程で製造できると共に、歩留まりが高く、しかも画像表示特性が優れた液晶表示装置及びその製造方法を提供することにある。

【0005】

【課題を解決するための手段】上述した目的は、図1及び図2に示すように金属膜からなるドレイン及びゲート配線の端部を透明導電膜を用いた構成にすることにより達成される。本発明ではホトリソの工程数を従来法と比較して増加させることなくドレイン及びゲート配線の端子部を加工するため、この部分の構造として金属導電膜を画素電極と同じ膜厚の透明導電膜で被覆した構成を考案した。この構造を有する表示装置を作製する際には、ドレイン及びゲート配線の端部の透明導電膜を、画素電極と同一の透明導電膜で形成し、同一のリフトオフ工程で加工することが可能である。

【0006】本発明の表示装置の製造工程について図3

及び図4を用いて以下に記述する。まず、透明絶縁基板1上に金属膜を形成し、ドレイン配線2、ソース電極3及び付加容量電極4に加工する(図3(a)、図4(a))。

【0007】次いで、半導体層6、ゲート絶縁層7と金属導電膜を形成加工しゲート配線8などを作製する(図3(b)、図4(b))。その上に保護性絶縁膜10を形成、レジストパターン11を形成し、保護性絶縁膜をエッチングしゲート配線やドレイン配線の端子部及び画素電極部などを露出する(図3(c)、図4(c))。

【0008】その上に、透明導電膜を形成し、レジストを除去するリフトオフ法で不要部の透明電極を取り除くことにより、図1及び図2に示した構造の表示素子を作製することができる。

【0009】また、図5及び図6に示す構成の表示装置を作製することにより、画素間の電気信号の干渉をより低減することが可能である。この表示装置の製造工程について図7及び図8を用いて以下に説明する。まず、透明絶縁基板1上に金属導電膜を形成し、ドレイン配線2、ソース電極3及び付加容量電極4に加工する(図7(a)、図8(a))。

【0010】次いで、半導体層6、第1のゲート絶縁層16を形成した後、島状に加工する(図7(b)、図8(b))。この場合、第1のゲート絶縁層の膜厚は100nm以下、好ましくは50nm以下が適当である。さらに、第2のゲート絶縁層17を形成した後、金属導電膜を形成加工しゲート配線8を作製する(図7(c)、図8(c))。その上に保護性絶縁膜10を形成、レジストパターン11を形成し、ゲート絶縁膜と保護性絶縁膜をエッチングしゲート配線やドレイン配線の端子部及び画素電極部などを露出する(図7(d)、図8(d))。その上に、透明導電膜を形成し、レジストを除去するリフトオフ法で不要部の透明電極を取り除くことにより、図5及び図6に示した構造の表示装置を作製することができる。

【0011】本発明の表示素子のドレイン及びゲート配線の材料としては、Al、Cr、Mo、Ta、Ti、W、Nb、Fe、Co、Niなどがあげられる。さらに、これらの材料のうち2種類以上を積層してもよい。また、半導体層の材料として、a-Siのほか結晶相を含むSi膜を用いることも可能である。

【0012】また、前記リフトオフ法で透明導電膜を加工する際、レジスト及び加工した保護性絶縁膜、ゲート絶縁膜の断面構造が、透明導電膜の加工精度に対して重要な因子となる。透明導電膜の付周りを考慮すると、レジストに対し保護性絶縁膜あるいは保護性絶縁膜とゲート絶縁膜の積層が後退エッチされていることが望ましい。これは、保護性絶縁膜やゲート絶縁膜に窒化シリコン(SiN)などを用い、SF₆などのガスを用いてドライエッチすることにより達成される。また、保護性絶

縁膜の膜厚あるいは保護性絶縁膜とゲート絶縁膜の膜厚の和が、透明導電膜の膜厚の2倍、好ましくは3倍以上であることが望ましい。

【0013】さらに、2種類のレジストを積層して用いる方法もある。2種類のレジストとして、例えば、下層にポリイミド系レジスト（例えばポリイミド樹脂、ポリメチルメタクリレート、ポリメチルグルタルイミド、ポリメチルイソプロピルケトンなど）上層にノボラック系のレジストを用いる。ポリイミド系レジストはアルカリ現像液により侵食され上層のレジストより後退する。次いで、保護性絶縁膜あるいはゲート絶縁膜をエッチングし加工する。この際、特に後退エッチの必要はない。その後、透明導電膜を形成し、リフトオフ法により加工する。

【0014】透明導電膜として結晶ITO（In酸化物にSn酸化物が添加された透明電極材料）を用いる場合、約100℃以上に基板温度を設定する必要がある。耐熱性に問題のあるレジストを使用する場合には、低温で非晶質ITO膜を形成してから、レジスト剥離後、熱処理してITOを結晶化してもよい。

【0015】また、レジスト剥離には、レジスト剥離液を用いるが、テープを用いて剥離する方法や、テープで剥離したあと剥離液を用いる方法なども考えられる。

【0016】

【作用】従来素子構造では、ゲート配線には低抵抗の金属材料（Al、Cr、Ta等）が用いられる一方、構造単純化による製造工程数短縮を目的にドレイン配線にはソース電極及び画素電極と同一のITOが用いられる。このようにすることによりドレイン配線、ソース電極及び画素電極を1回の膜堆積、ホトリソ工程で作製できる。さらに工程数短縮を進めた場合、半導体層及びゲート絶縁層から成る薄膜トランジスタ層とゲート配線（ゲート電極）層とを同一のホトリソ工程で作製することが考えられる。従って、素子全体を被覆し画素電極に貫通孔を有する保護性絶縁膜のホトリソ工程を含め、前記ドレイン配線、ソース電極及び画素電極のホトリソ工程、及び前記薄膜トランジスタ層とゲート配線のホトリソ工程の3回のホトリソ工程で作製できる。

【0017】一方、液晶駆動回路（テープキャリアパッケージ：TCP上に搭載）と基板上のゲート・ドレイン配線とは一般に異方性導電膜を用いて接続される。この場合、基板周辺部で液晶駆動回路との接続にドレイン配線端子はITOであるが、ゲート配線端子は金属が用いられることになる。これまでの実績から金属端子と前記TCPとの接続は信頼性が不十分である。これに対して、ITOは化学的に安定であるため、TCPとの接続の信頼性が高い。このため、配線端子はITOで被覆構成することにより素子の信頼性を向上できる。

【0018】また、従来装置構造ではドレイン配線にITOが用いられていた。これに対してドレイン配線を金

属導電膜で構成すると、配線の抵抗を低減することができる。このため、ドレイン配線始点と末端での電位勾配が減少し、輝度ムラなどの画像表示特性を改善できる。

【0019】上述した背景において本発明の構造及び製造方法は、ホトリソ工程を増やすことなく、前記ドレイン配線を金属導電膜で構成し、かつドレイン及びゲート配線端子部をITOで被覆構成できるように作用するものである。より具体的には、前記保護性絶縁膜あるいは保護性絶縁膜とゲート絶縁膜をホトリソで加工した後、レジストパターン上からITO膜を堆積しこれをリフトオフ法によってパターンニングする。この作製法により、ホトリソの工程数を従来法と比較して増やすことなく、画像表示特性に優れ周辺回路との接続の信頼性が高い表示素子を作製することが可能になる。

【0020】

【実施例】以下、本発明の実施例をさらに詳細に説明する。

【0021】〔実施例1〕図1及び図2に作製した液晶表示装置のTF基板の模式図を示す。これらの図及び図3から図8を用いて本実施例を説明する。

【0022】よく洗浄したガラス基板などの透明絶縁基板1上にCrをマグネトロンスパッタリング法で、基板温度100℃、膜厚150nmとして作製した。引き続き、Crをエッチングによりドレイン配線2、ソース電極3及び付加容量電極4に加工した。この際エッチング液として $\text{Ce}(\text{NH}_4)_2(\text{NO}_3)_6$ に HNO_3 を適量添加した水溶液を用いた。Cr膜の端部のテーパ角は約10°であった。

【0023】次に、作製した基板をRFプラズマCVD装置に設置し、 PH_3 プラズマ処理を加えた後、半導体層6としてa-Si:H膜を形成した。基板温度は250℃とし、モノシラン SiH_4 を原料ガスに用いて作製した。膜厚は18nmとした。このように薄くする理由は、パネルを完成させた場合半導体層に流れトランジスタのオフ電流を増大させる原因となる光電流を抑制するためである。引き続き同一チャンバ内でこの上にゲート絶縁膜7の Si_3N_4 層を形成した。基板温度は半導体層と同じ250℃とし SiH_4 、 NH_3 、及び N_2 の混合ガスを原料ガスとして用い、300nmの膜厚に作製した。

【0024】次いで、ゲート配線8のCrをマグネトロンスパッタリング法で、基板温度100℃、膜厚150nmとして作製した。引き続き、Crをエッチングによりゲート電極に加工した。この際エッチング液として $\text{Ce}(\text{NH}_4)_2(\text{NO}_3)_6$ に HNO_3 を適量添加した水溶液を用いた。さらに同じマスクパターンを用い、ドライエッチング法によって半導体層及びゲート絶縁膜をパターンニングした。この方法により、ゲート配線Crを半導体層及びゲート絶縁膜パターン幅に対し片側約1.5μm後退して加工できた。この後退量はゲート電極とソース・

ドレイン電極間のショートを防止するのに必要十分な距離である。

【0025】この上に保護性絶縁膜10(SiN)をRFプラズマCVD法によって形成後、図2に示す平面構造の端子部レジストパターン(抜穴)11をホトリソ工程によって作製し、ドライエッチング法によって保護性絶縁膜を除去し図5に示すように、ゲート配線端子部9のCr及びソース及びドレイン配線端子部5のCr及び画素電極とそれに接続するソース電極と付加容量電極のCrを露出した。次いで、レジスト剥離する前にスパッタリング法で膜厚140nmのITO膜を堆積した。ITO膜堆積後、前記レジストを剥離し、レジスト上のITO膜をリフトオフした。

【0026】本発明の液晶表示装置はTFT側基板の端子部が全てITOに被覆構成されている。このため、対向基板と張り合わせ液晶を注入し液晶表示素子を作製した後、周辺回路と接続する際に安定した接続特性が得られることがわかった。また、輝度ムラも小さく良好な表示特性が得られることがわかった。

【0027】〔実施例2〕実施例1と同じ膜形成及びエッチング方法でガラス基板などの透明絶縁基板1上にドレイン配線2、ソース電極3及び付加容量電極4を形成した。次に、作製した基板をRFプラズマCVD装置に設置し、PH₃プラズマ処理を加えた後、半導体層6として微結晶Si膜を形成した。基板温度は300℃とし、SiF₄+H₂を原料ガスに用いて作製した。膜厚は100nmとした。

【0028】ついで、実施例1と同じ膜形成及びエッチング方法でゲート絶縁膜7、ゲート配線8、保護性絶縁膜10、ITO膜を成膜加工し、図1に示す断面構造のTFT側基板を有する液晶表示装置を作製した。

【0029】周辺回路との接続特性を調べた結果、安定した特性が得られることがわかった。また、良好な表示特性が得られた。

【0030】〔実施例3〕実施例1と同じ膜形成及びエッチング方法でガラス基板などの透明絶縁基板1上にゲート絶縁膜7のSiN層までを形成した。次いで、ゲート配線8のAlをマグネトロンスパッタリング法で、基板温度100℃、膜厚250nmとして作製した。この後、Al上に膜厚30nmのCrをマグネトロンスパッタリング法でAlに引き続いて作製した。この理由は、ゲート配線端部においてCrとITOとの電気的接触をとるためである。この後、ホトリソグラフィによってゲート配線8、ゲート絶縁膜7及び半導体層6をパターンニングした。その際、最初にCrを硝酸第2セリウムアンモニウム水溶液でエッチングした後、Alをリン酸、酢酸、硝酸の混合水溶液を用いてオーバエッチングによりレジストパターン端部より後退させた。次いでCrを前述したと同様な方法で再エッチングした。引き続き、ドライエッチング法によってゲート絶縁膜7及び半導体層

6をパターンニングした。測定した結果、ゲート電極(Cr/Al)の半導体層及びゲート絶縁膜パターン幅に対する後退量は片側約1.5μmであった。

【0031】この上に保護性絶縁膜10をRFプラズマCVD法によって形成後、図5に示すようにゲート配線端子部、ドレイン配線端子部及び画素電極を構成するレジストパターンをホトリソ工程によって作製した。ドライエッチング法によって保護性絶縁膜を除去しゲート配線端子のCr/Al、ドレイン配線端子部のCr及び画素電極に接続するソース電極と付加容量電極のCrを露出した。次いで、レジスト剥離する前に、スパッタリング法で膜厚140nmのITO膜を堆積した。ITO膜堆積後、前記レジストを剥離し、保護性絶縁膜パターン上のITO膜をリフトオフした。

【0032】以上のように作製したTFT側基板を用いて液晶表示装置を作製し、周辺回路と接続した結果、良好な接続特性が得られることがわかった。また、輝度ムラの小さい良好な表示特性が得られた。

【0033】〔実施例4〕図9及び図10に本実施例で作製した液晶表示装置のTFT側基板の模式図を示す。本実施例では、ゲート絶縁層は2層の絶縁膜、すなわち第1のゲート絶縁層16と第2のゲート絶縁層17から構成される。また、補助容量は補助容量電極4とゲート配線8との間に第2のゲート絶縁層17のみが挿入される。チャネルが形成される半導体層6に接触する部分には良質の第1のゲート絶縁層16が形成され、それ以外の部分ではあまり膜質が問題にならないため、速い成膜速度で作製した第2のゲート絶縁層17が形成される。これにより、TFTの特性を向上させることができると同時に、製造時のスループットを高めることができる。同時に、良質の第1のゲート絶縁層16を用いて付加容量を構成することができる。また、第1のゲート絶縁層の厚みを薄くすることにより、小さな面積で大きな容量値が得られる補助容量を形成することができる。

【0034】本実施例の液晶表示装置では、まず実施例1と同じ膜形成及びエッチング方法でガラス基板などの透明絶縁基板1にドレイン配線2、ソース電極3を形成した。次に、作製した基板をRFプラズマCVD装置に設置し、PH₃プラズマ処理を加えた後、半導体層6のa-Si:H膜を実施例1と同じ方法で18nmの厚さで形成した。さらに、実施例1と同じ方法で第1のゲート絶縁層16のSiN膜を30nmの厚さで形成した。半導体層6とゲート絶縁層16を同じマスクパターンを用いて図12のように加工した後、再び基板をRFプラズマCVD装置に設置し、実施例1と同じ方法で第2のゲート絶縁層17のSiN膜を270nmの厚さで形成した。次いで、実施例1と同じ方法でゲート配線のCrを形成した。この第2のゲート絶縁層とCrとを同じマスクパターンを用いてパターンニングし、ゲート配線8を形成した。

【0035】この上に、保護性絶縁膜(SiN)をプラズマCVD法で300nmの厚さに形成した後、ドライエッチング法によって保護性絶縁膜を除去しゲート配線端子部9及びドレイン配線端子部5のCr及び画素電極部とそれに接続するソース電極及び付加容量電極のCrを露出した。次いで、レジスト剥離する前にスパッタリング法で膜厚200nmのITO膜を堆積した。ITO膜堆積後、前記レジストを剥離し、保護性絶縁膜パターン上のITO膜をリフトオフした。

【0036】以上のように作製したTFT側基板を用いて液晶表示装置を作製し、周辺回路と接続した結果、良好な接続特性が得られることがわかった。また、輝度ムラの小さい良好な表示特性が得られた。

【0037】〔実施例5〕実施例4と同じ膜形成及びエッチング方法でガラス基板などの透明絶縁基板1上にゲート絶縁膜7のSiN層までを形成した。次いで、ゲート配線8としてAl250nmとCr30nmの積層膜を作製した。この後、実施例3と同じ方法で、ホトリソグラフィによってゲート配線8をパターンニングした。

【0038】この上に、保護性絶縁膜(SiN)をプラズマCVD法で300nmの厚さに形成した後、ドライエッチング法によって保護性絶縁膜を除去しゲート配線端子部のCr/Al及びドレイン配線端子部のCr及び画素電極部とそれに接続するソース電極と付加容量電極のCrを露出した。次いで、レジスト剥離する前にスパッタリング法で膜厚200nmのITO膜を堆積した。ITO膜堆積後、前記レジストを剥離し、保護性絶縁膜パターン上のITO膜をリフトオフした。

【0039】以上のように作製したTFT側基板を用いて液晶表示装置を作製し、周辺回路と接続した結果、良好な接続特性が得られることがわかった。また、輝度ムラの小さい良好な表示特性が得られた。

【0040】〔実施例6〕実施例1及び実施例4において、ITO膜の代わりにITO超微粒子を分散させた有機溶媒を塗布しベークングすることによって固化した後リフトオフする方法も適用できることを確認した。

【0041】

【発明の効果】以上のように、本発明によれば液晶表示装置の製造工程を簡略化でき、かつ信頼性に優れた端子

接続を実現することができる。従って、低コストで高信頼性の液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明による液晶表示装置のTFT側基板の平面模式図。

【図2】図1のA-A'断面模式図。

【図3】図1に示したTFT側基板の製造工程に沿った平面模式図。

【図4】図1に示したTFT側基板の製造工程に沿った平面模式図。

【図5】図1に示したTFT側基板の製造工程に沿った平面模式図。

【図6】図3のB-B'断面模式図。

【図7】図4のC-C'断面模式図。

【図8】図5のD-D'断面模式図。

【図9】本発明による液晶表示装置のTFT側基板の平面模式図。

【図10】図9のE-E'断面模式図。

【図11】図9に示したTFT側基板の製造工程に沿った平面模式図。

【図12】図9に示したTFT側基板の製造工程に沿った平面模式図。

【図13】図9に示したTFT側基板の製造工程に沿った平面模式図。

【図14】図9に示したTFT側基板の製造工程に沿った平面模式図。

【図15】図11のF-F'断面模式図。

【図16】図12のG-G'断面模式図。

【図17】図13のH-H'断面模式図。

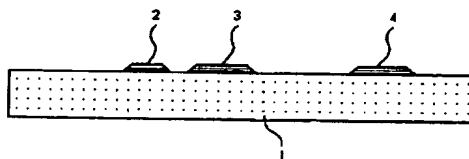
【図18】図14のI-I'断面模式図。

【符号の説明】

1…透明絶縁基板、2…ドレイン配線、3…ソース電極、4…付加容量電極、5…ドレイン配線端子部、6…半導体層、7…ゲート絶縁膜、8…ゲート配線、9…ゲート配線端子部、10…保護性絶縁膜、11…レジストパターン(抜穴)、12…レジスト、13…画素電極、14…ドレイン配線端子部ITO、15…ゲート配線端子部ITO、16…第1のゲート絶縁層、17…第2のゲート絶縁層。

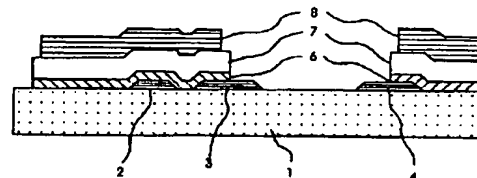
【図6】

図 6



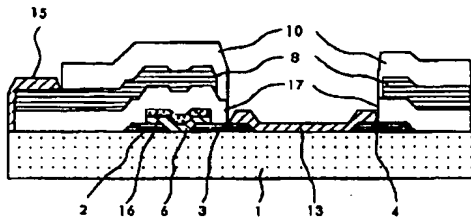
【図7】

図 7



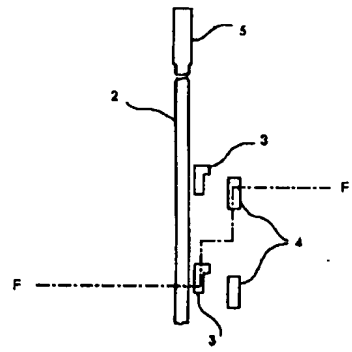
【図10】

図 10



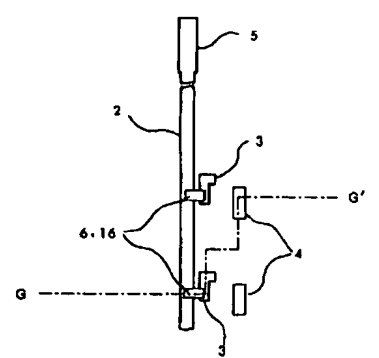
【図11】

図 11



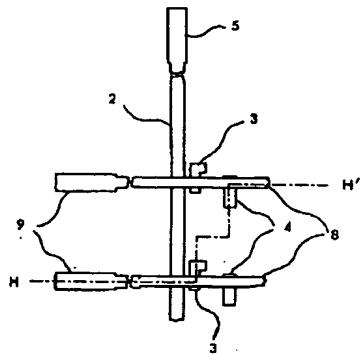
【図12】

図 12



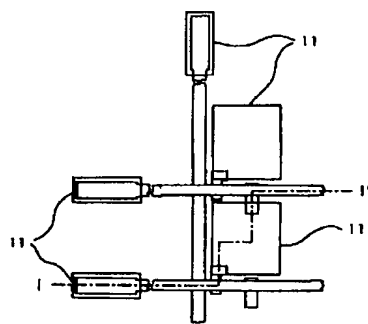
【図13】

図 13



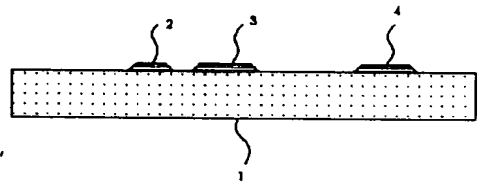
【図14】

図 14



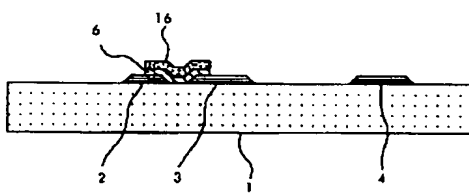
【図15】

図 15



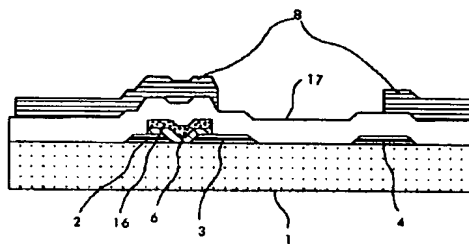
【図16】

図 16



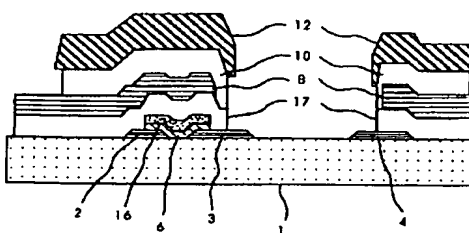
【図17】

図 17



【図18】

図 18



フロントページの続き

(72)発明者 金子 寿輝
茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内

(72)発明者 峯村 哲郎
茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内

(72)発明者 岡田 智弘
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内